

SOC 设计中的硬核复用及其工艺移植

洪瑞煌^a, 王云峰^b, 郭东辉^{a,b}

(厦门大学 a. 物理系 EDA 实验室; b. 微电子学院, 福建 厦门 361005)

摘要: IP 复用已成为 SOC (system-on-chip) 芯片设计的主要手段之一。以一款 0.18 μm 工艺下的温度控制芯片设计为例, 具体介绍硬核复用设计的工艺移植问题, 并给出了一种基于工艺设计工具包的设计流程及其关键技术解决方案。该设计流程在保证电路功能正确性的同时, 又可以减少版图设计的设计周期, 可以为其他类似硬核的复用设计提供参考。

关键词: SOC 设计; IP 复用; 工艺移植;

中图分类号: TN432 **文献标识码:** A **文章编号:** 1003-353X (2008) 05-0446-04

Design Reuse and Process Migration of Hard IP in SOC Design

Hong Ruihuang^a, Wang Yunfeng^b, Guo Donghui^{a,b}

(a. Dept. of Physics; b. Dept. of Electronic Engineering, Xiamen University, Xiamen 361005, China)

Abstract: IP reuse has become one of the main solutions in SOC design. A design of a temperature controller under 0.18 μm process was given, the process migration in the hard IPs reuse was focused, the process design kit-based design flow along with the key technologies and solutions were proposed. Ensuring the validity of the circuit functions, meanwhile the design flow can reduce the layout design cycle, it provides a reference for similar hard IPs reuse designs.

Key words: SOC design; IP reuse; process migration

EEACC: 2570D

0 引言

由于现代半导体工艺的巨大集成能力, 使得 SOC 设计成为当今集成电路设计的一种主流技术。在 SOC 设计过程中, 随着设计规模越来越大, 芯片的复杂程度越来越高, 并且开发时间有限, 越来越多的设计团队采用基于 IP 核复用的设计方法。根据提供设计不同层次, 可以把 IP 核分为三种形式: 软核、固核和硬核^[1], 其中硬核是指已经物理实现的宏模块, 并且可以以 GDS 网表的形式进行交付使用。在定制设计的情况下, 硬核与软核相比会有更出色的性能以及在时序、功耗和面积等方面提供更准确的预测, 所以通常微处理器和数字信号处理器的 IP 核都是以硬核的形式交付使用的。

但正因为硬核是已经物理实现的, 它的主要缺

点就是对工艺有依赖性, 灵活性较低。一般来说, 半导体芯片加工工艺每隔一段时间更新一次, 而且每次工艺的更新都会采用新的设计规则。因此, 要在新的工艺条件下重复使用原来的硬核, 就必须对其进行工艺移植。本文将设计一个可实现温度控制的 SOC 芯片, 其主要电路有: 8 bit 微处理器核、A/D 转换器和温度传感器, 再加上总线控制、输入输出以及存储器等电路模块形成一个完整的单片集成系统。该芯片将采用 SMIC 公司标准的 0.18 μm CMOS 工艺流片, 由于已拥有了不同工艺流片成功的 8 bit 微处理器^[2]、A/D 转换器^[3]和 CMOS 温度传感器^[4-5]硬核 (其中, 8 bit 微处理器是采用 2 μm 工艺, 而 A/D 转换器和温度传感器则是采用 0.6 μm 的工艺), 该 SOC 芯片设计要实现硬核复用, 首先需要考虑工艺移植方面的问题。

本文将分析硬核复用的不同工艺移植方法的优缺点, 设计一种实验室可自主实现的工艺移植 SOC

基金项目: 福建省自然科学基金计划资助项目 (A0410007)

设计流程, 并指出该硬核工艺移植过程中的关键技术问题及解决方案, 最后给出工艺移植设计后的该 SOC 芯片中 8 bit 微处理器的主要性能参数。

1 硬核工艺移植与实现流程

在 IP 硬核工艺移植方面, 通用技术方法有^[6]: Re-Layout、Linear Shrink Method (LSM) 和 Auto Layout Modification (ALM) 等。Re-Layout 方法是指通过手动重新设计版图, 用这种全手动的工艺移植方法来设计新版图将会花费大量的人力和时间, 不能适应芯片设计的时效性要求。LSM 方法是指版图按比例缩小的方法, 它是目前较为常用的工艺移植方法^[7], 但存在的问题是不同工艺之间的设计规则不统一, 从而引入大量违反设计规则的错误, 而且也无法保证电路功能在工艺移植之后的正确性。ALM 方法则是一种利用设计自动化软件工具实现版图按比例自动缩小的方法, 可以较好地解决设计规则不统一问题, 即基于版图按比例缩小的原则, 综合考虑目标工艺的设计规则, 由用户根据设计规则使用软件工具来定义限制文件及转换参数以实现版图的自动转换。

目前 ALM 软件工具一般只用于存储模块的工艺移植, 对较复杂的全定制电路芯片设计仍然不能提供很好的解决方案。另外, 如果采用深亚微米的 CMOS 工艺, 电路信号的完整性问题^[8-9]也成为芯片版图设计中不可忽视的问题, 现有的 ALM 软件工具也还不能很好地解决这方面的问题, 需要人工地来考虑, 如采用更大的线宽、更多的布线层次等。而工艺设计工具包 (process design kit, PDK) 是基于特定工艺而开发的一整套包括器件信息、工艺信息和验证文件的设计数据包, 可以将电路设计和版图设计紧密结合在一起。因此, 结合该 SOC 电路本身特点, 给出了一种基于 PDK 的工艺移植设计流程, 如图 1 所示。

整个工艺移植的设计流程大体分为三个阶段: 按比例缩小及模拟/仿真、版图设计及版图验证。第一个阶段从电路原理图入手, 按两种工艺特征尺寸的比值, 对原有的电路原理图里所有器件上面标定的尺寸进行等比例缩小, 形成目标工艺尺寸下的基础电路数据库, 然后再由新的电路原理图导出网

表, 调用如 SPICE 之类的模拟软件进行电路模拟。这一阶段的关键是要通过对按比例缩小之后的电路进行验证, 保证其功能的正确性; 第二个阶段是版图设计, 这一阶段的关键是根据实际情况选择一种最合适的版图设计方法; 第三个阶段是版图验证, 在版图设计完成之后, 要对其进行验证, 包括 DRC、LVS、版图寄生参数提取、后仿真等。

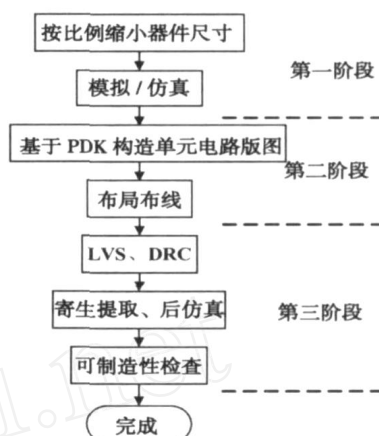


图 1 工艺移植流程图

Fig. 1 Process migration flow

2 关键技术问题及解决方案

下面介绍一下流程中的一些关键技术问题及解决方案。

2.1 电路功能验证

为了确保在更新的生产工艺、更高的工作频率下, 电路功能的正确性, 必须新的工艺模型下重新对电路进行模拟/仿真。通过模拟/仿真可以发现电路中存在的一些在新工艺条件下可能存在的逻辑错误结构, 如 NMOS 传输管 (它只能将电压上拉到 $V_{dd} - V_{th}$, 在新的工艺条件下, V_{dd} 大幅降低, 而 V_{th} 基本不变, 这使得输出电路有可能会低于接收方的要求), 以及利用多个反相器来产生脉冲的电路 (由于工艺变化, 脉冲宽度有可能达不到要求, 不足以驱动后面的电路), 并对其进行调整。另一个方面, 评估在工艺改变之后电路所能达到的性能, 其中对微处理器来说, 最主要的是时钟频率和功耗, 综合考虑电路本身具有的特征, 估计布局布线之后互连线引入的延时以及具体的应用场合, 选择电路的工作频率; 在确定电路的工作频率后, 还要验证电路的功能是否正确。

2.2 基于 PDK 的版图生成

在对硬核工艺移植的几种方法进行分析比较之后，采用了基于 PDK 的方法来进行版图生成。PDK 广泛应用于集成电路设计中，它提供完整的工艺文件集合，是连接 IC 设计和 IC 工艺制造的数据平台。利用 PDK 生成版图的过程称为原理图驱动版图 (schematic driven layout)，它是借由模拟/仿真时的原理图来产生对应元件的版图，然后将元件位置重新安排并完成布线。本文利用 SMIC18 mmf PDK 生成版图，图 2 给出了原理图驱动版图的过程以及所使用的工具。

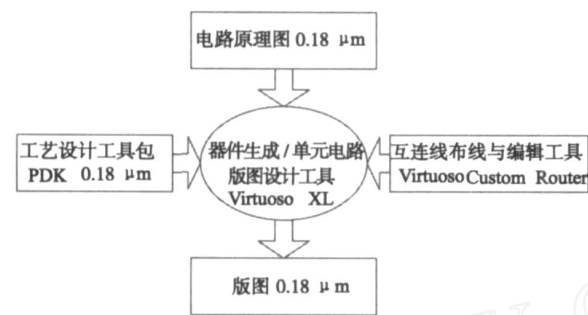


图 2 PDK 版图设计过程
Fig. 2 Layout design base on PDK

PDK 还提供版图验证环境，如 Cadence Assura 或者 Mentor Graphics Calibre，可以方便地支持用户执行布局规则的验证与电路版图的对比，此外还可以进行寄生元件的提取以使用户进行后仿真。

2.3 布线工程

随着工艺尺寸的缩小，晶体管的门延时持续改善而长线延时保持不变甚至有所增大。在这种情况下，布线工程已经成为集成电路设计，同时也是工艺移植中的一个主要部分。尽管可以采用将各个关键通信部件彼此靠近放在一起的布局规划方式，但长线仍然不可避免地存在，特别是时钟线及电源/地网络。

对于长线提出的挑战，可以采用两种方法来缓解：一种是在设计中采用插入缓冲器的方法来缩短延时，这种方法对延时的改善是比较有限的，一般用于部件之间的互连线上；另一种是利用更多的布线层。在金属层的分配上面，较低层的互连线经过缩小后一般用于高密度的短互连布线；较高层互连缩小的比例较小，甚至向着更厚更宽的趋势发展，用于形成低阻高速的互连、良好的时钟分布网络和恒定的电源网格。表 1 给出了六层金属工艺下的一个分配布线通道的例子^[10]。

表 1 六层工艺下的金属层分配

Tab. 1 Metal layers distribution of six metal layers process

层次	用途
金属 1	单元内部互连
金属 2/3	部件内部器件单元之间的互连
金属 4/5	部件之间的互连，关键信号
金属 6	I/O PAD、时钟、电源、地

3 关键性能参数

下面以 8 bit 微处理器硬核工艺移植为例，介绍一下硬核工艺移植过程中的一些实际情况及结果。

该 8 bit 微处理器原来采用的是 2 μm 单层多晶硅双层金属 CMOS 工艺，工作电压为 5 V，整个电路规模在 10 000 个 MOS 管左右，其典型工作频率为 2 MHz，正常工作情况下的平均功耗在 20 mW/MHz，在 8 bit 微处理器当中属于规模较小、功耗较低的一款芯片。为了在 SOC 芯片设计过程中重复利用该硬核，必须先进行工艺移植，移植的目标工艺为 SMIC 0.18 μm 单层多晶硅六层金属 CMOS 工艺，工作电压为 1.8 V。在电路进行按比例缩小之后，利用 SMIC 0.18 μm 混合信号工艺模型对其进行仿真，在工作频率为 10 MHz 的情况下，其平均功耗为 39.8 μW/MHz，系统时钟的上升、下降时间分别为 0.192 和 0.176 ns。经过对电路少量的调整之后，完成了 8 bit 微处理器所有 70 条指令（按机器码区分可分为 212 条指令）的动态验证工作。

在版图方面，先经 PDK 综合的方法来产生单元电路的版图，再通过定制布线工具将各个单元电路的版图连接成整体版图。图 3 为一个经调整后的 D 触发器的版图。

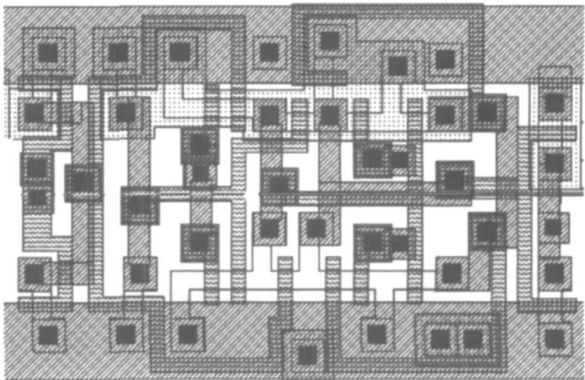


图 3 D 触发器的版图
Fig. 3 Layout of D flip-flop

4 结语

本文针对硬核复用的工艺移植问题,给出了一种可行的、基于工艺设计工具包 PDK 的设计流程。并结合实际移植工作的经验,介绍了电路功能验证、版图生成及布线等方面的一些具体的解决方法。需要指出的是,这种方法适用的电路规模较为有限,如果电路规模太大,模拟/仿真和版图设计时间将会变得很长,在这种情况下应该考虑新的电路模拟方法及版图移植方案。

参考文献:

- [1] 吉利久. SOC 的技术支持及嵌入式系统设计[J]. 单片机与嵌入式系统应用, 2001, (10): 5-11.
- [2] 陈瑞森. 基于逆向工程的 MPU 及其应用芯片开发[D]. 厦门: 厦门大学, 2006.
- [3] 柴宝玉. 一种高速高分辨率流水线型 A/D 转换器的低功耗设计[D]. 厦门: 厦门大学, 2006.
- [4] 林凡. CMOS 数字集成温度传感器的设计[D]. 厦门: 厦门大学, 2003.
- [5] 钟灿. CMOS 模拟集成温度传感器的设计[D]. 厦门: 厦门大学, 2006.

- [6] REINHARDT M. Automatic layout migration[M]. Netherlands: Kluwer Academic Publishers, 2002: 22-26.
- [7] 赵天麟, 王卫民. 版图等比例缩小方法初探[J]. 微处理机, 2000, (4): 8-12.
- [8] 马剑武, 陈书明, 孙永节. 深亚微米集成电路设计中串扰分析与解决方法[J]. 计算机工程与科学, 2005, 27(4): 102-104.
- [9] 孙加兴, 叶青, 周玉梅, 等. 0.18 μm CMOS 工艺下的互连线延迟和信号完整性分析[J]. 固体电子学研究与进展, 2005, 25(1): 93-97.
- [10] WESTEN H E, HARRIS D. CMOS 超大规模集成电路设计, 第三版[M]. 汪东等译. 北京: 中国电力出版社, 2005: 210.

(收稿日期: 2008-01-10)

作者简介:

洪瑞煌(1984—), 男, 福建泉州人, 硕士研究生, 主要研究领域为集成电路设计;



郭东辉(1967—), 男, 福建莆田人, 教授, 博士生导师, 主要研究方向为集成电路设计、人工智能、计算机网络通信等。

(上接第 393 页)

3.2 扩展电阻测试

图 4 为测试的扩展电阻图, 衬底和外延层之间过渡区小于 $5 \mu\text{m}$, 外延层纵向曲线非常平整。

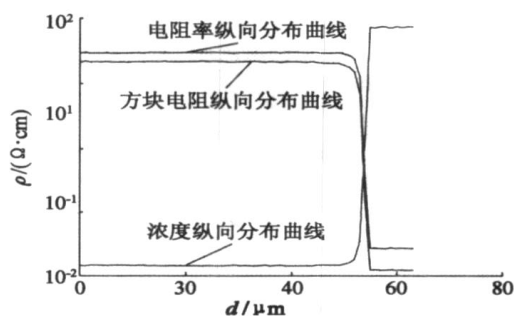


图 4 扩展电阻曲线图

Fig. 4 Curve of spreading resistance

3.3 其他缺陷测试

滑移线测试: 在微分干涉显微镜下观察 Notch 附近边缘 4 mm 有轻微滑移线, 日光灯下检测无; 外观检测: 表面光亮, 背面无突起, 边缘光滑。层位错检测: Seco 腐蚀液腐蚀后显微镜下观察无。

4 结语

本文讨论了 200 mm 厚层 Si 外延生长工艺的开发

情况, 实现了 200 mm 厚层 Si 外延片的制作, 外延层厚度径向偏差小于 2%, 外延层电阻率偏差小于 5%, 过渡区和缺陷控制达到国际水平。使用该外延技术生产的 200 mm 厚层 Si 外延片提供给客户得到了认可, 现已达到 1 000 片/月的产量, 该产品将逐步取代同类型进口产品。

参考文献:

- [1] 龙柏. 硅单晶及硅片的技术与市场[J]. 世界产品与技术, 2002(9): 29-33.
- [2] 汤艳, 杨德仁. 超大规模集成电路硅片的内吸杂[J]. 材料导报, 2003, 17(5): 73-75, 81.
- [3] 李智囊, 侯宇. 外延淀积过程中的自掺杂抑制[J]. 微电子学, 2003, 33(2): 118.

(收稿日期: 2008-01-28)

作者简介:

袁肇耿(1977—), 男, 湖南人, 工程师, 目前从事硅外延材料的研究和生产;



魏毓峰(1973—), 男, 山东曲阜人, 工程师, 主要研究方向为半导体材料。